

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-122950
(43)Date of publication of application : 12.05.1995

(51)Int.CI. H03G 3/10
H03F 1/30
H03F 3/45

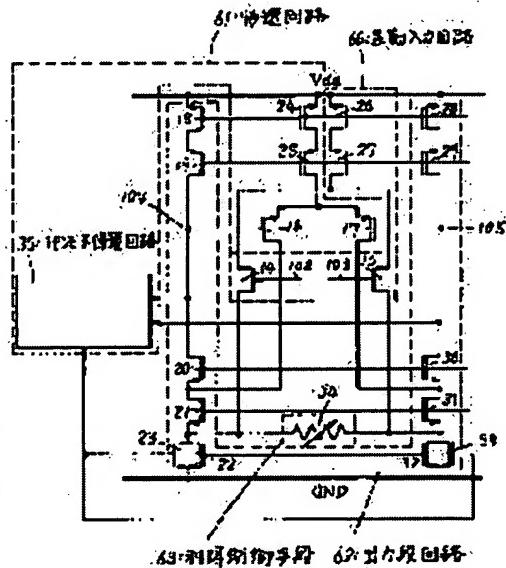
(30)Priority
Priority number : 05 48361 Priority date : 06.09.1993 Priority country : JP

(54) VARIABLE GAIN AMPLIFIER

(57) Abstract:

PURPOSE: To obtain a high frequency band by constituting a variable gain amplifier of a differential input circuit, a variable resistor, a feedback circuit and an output stage circuit.

CONSTITUTION: FETs 14, 15, 26 and 27 constitute the differential input circuit 60, the FETs 16, 17, 24 and 25 and a common mode feedback circuit 35 constitute the feedback circuit 61 for feeding back output voltages 104 and 105, the FETs 18-23 and 28-33 constitute the output stage circuit 62 and the variable resistor 34 constitute a gain control means 63 respectively. The variable resistor 34 is realized by the FET and a gain control voltage, a resistance value as the variable resistor 34 becomes small when the voltage value of the gain control voltage is made large and the resistance value becomes large when the voltage value is made small. In the meantime, when the voltage becomes large, a bias current is made flow to the output stage circuit 62 by the function of the FETs 23 and 33 and functions so as to make the common mode of the output voltage small. That is, the common mode feedback circuit 35 functions as a negative feedback circuit.



LEGAL STATUS

[Date of request for examination] 01.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the withdrawal
examiner's decision of rejection or application

Best Available Copy

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-122950

(43)公開日 平成7年(1995)5月12日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 03 G 3/10	B			
H 03 F 1/30 3/45	A 9067-5 J B			

審査請求 未請求 請求項の数2 O L (全8頁)

(21)出願番号 特願平6-28705
 (22)出願日 平成6年(1994)2月28日
 (31)優先権主張番号 実願平5-48361
 (32)優先日 平5(1993)9月6日
 (33)優先権主張国 日本(J P)

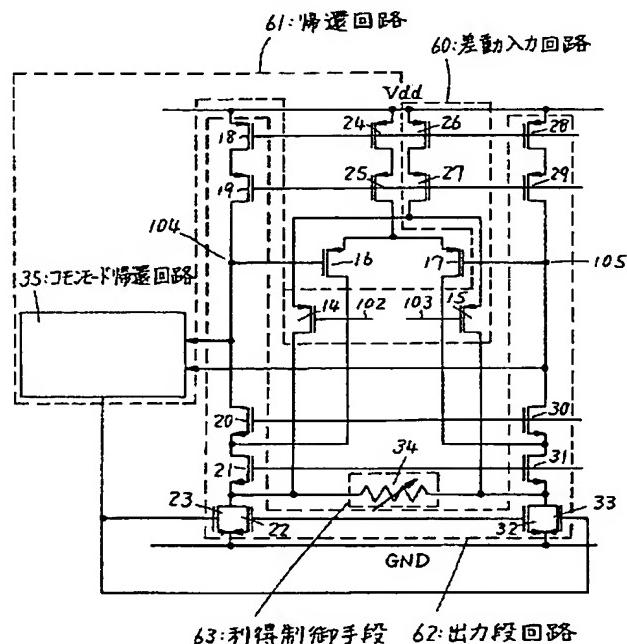
(71)出願人 000006507
 横河電機株式会社
 東京都武蔵野市中町2丁目9番32号
 (72)発明者 カイロラ ハディディ
 東京都武蔵野市中町2丁目9番32号 横河
 電機株式会社内
 (72)発明者 小林 春夫
 東京都武蔵野市中町2丁目9番32号 横河
 電機株式会社内
 (74)代理人 弁理士 小沢 信助

(54)【発明の名称】 可変利得増幅器

(57)【要約】

【目的】 高い周波数帯域が得られ、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器を実現する。

【構成】 可変利得増幅器において、2つの入力電圧が入力される差動入力回路と、この差動入力回路の2つの出力電流がそれぞれ入力され、抵抗値を変化させることにより利得を変化させる利得制御手段と、この利得制御手段の2つの出力電流に基づき出力電圧を出力する出力段回路と、出力電圧を出力段回路に負帰還させる帰還回路とを設ける。また、利得制御手段に温度補償回路を設ける。



【特許請求の範囲】

【請求項1】可変利得増幅器において、
2つの入力電圧が入力される差動入力回路と、
この差動入力回路の2つの出力電流がそれぞれ入力さ
れ、抵抗値を変化させることにより利得を変化させる利
得制御手段と、
この利得制御手段の2つの出力電流に基づき出力電圧を
出力する出力段回路と、
前記出力電圧を前記出力段回路に負帰還させる帰還回路
とを備えたことを特徴とする可変利得増幅器。

【請求項2】可変利得増幅器において、
利得制御手段に温度補償回路を備えたことを特徴とする
特許請求の範囲第1項記載の可変利得増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、A/D変換器等に用い
られる可変利得増幅器に関し、特に温度変動の影響が少
なく、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器に関する。

【0002】

【従来の技術】可変利得増幅器はA/D変換器、デジ
タル・オシロスコープ、シグナルコンディショナ等にお
いて用いられている。図8はこのような従来の可変利得
増幅器の一例を示す回路図であり、ここではスイッチド
・キャパシタで構成された可変利得増幅器を示してい
る。図8において1は演算増幅器、2は容量、3、4及
び5はそれぞれ容量値の異なるn個の容量の内の1、2
及びn番目の容量、6、7、8、9、10、11、12
及び13はスイッチ、100は入力電圧、101は出力
電圧である。

【0003】入力電圧100はスイッチ6の入力端子に
入力され、スイッチ6の一方の出力端子は接地され、他
方の出力端子は容量2の一端に接続される。容量2の他
端はスイッチ7の入力端子に接続され、スイッチ7の一
方の出力端子は接地され、他方の出力端子は演算増幅器
1の反転入力端子、スイッチ8、10及び12の一端に
接続される。

【0004】スイッチ8、10及び12の他端は容量
3、4及び5の一端にそれぞれ接続され、容量3、4及
び5の他端はスイッチ9、11及び13の一端にそれぞ
れ接続される。スイッチ9、11及び13の他端は出力
電圧101として出力されると共に演算増幅器1の出力
端子に接続される。また、演算増幅器1の非反転入力端
子は接地される。

【0005】ここで、図8に示す従来例の動作について
説明する。容量2の容量値を” C_{IN} ”とし、容量3、4
及び5の容量値をそれぞれ” C_{f1} ”、” C_{f2} ”及び” C_{f3} ”
とした場合、例えばスイッチ10及び11を”ON”、その他のスイッチを”OFF”とすれば図8に示
す従来例の利得は” C_{IN}/C_{f2} ”となる。但し、スイッ

チ6及び7は従来例がスイッチド・キャパシタとして動
作するために適当な周期等でON/OFFされる。

【0006】一般に前記n個の容量の内”i”番目の容
量を選択すれば利得は” C_{IN}/C_{fi} ”となり、前記n個
の容量の選択方法によって利得を可変にすることが可能
となる。

【0007】

【発明が解決しようとする課題】しかし、図8に示す従
来例ではスイッチド・キャパシタで構成されているた
め、周波数帯域が利得により変動し、高入力インピーダ
ンスの実現が困難である。また、スイッチド・キャパシ
タは一般に低速動作であるため高い周波数帯域を得るの
が困難である。さらに、IC内部で容量を用いることにな
り、余分な工程が必要になってしまう。従って本発明
の目的は、高い周波数帯域が得られ、周波数帯域が安定
で、高入力インピーダンスである可変利得増幅器を実現
することにある。

【0008】

【課題を解決するための手段】このような目的を達成す
るため、本発明の第1では、可変利得増幅器におい
て、2つの入力電圧が入力される差動入力回路と、この
差動入力回路の2つの出力電流がそれぞれ入力され、抵
抗値を変化させることにより利得を変化させる利得制御
手段と、この利得制御手段の2つの出力電流に基づき出
力電圧を出力する出力段回路と、前記出力電圧を前記出
力段回路に負帰還させる帰還回路とを備えたことを特徴
とするものである。

【0009】本発明の第2では、可変利得増幅器におい
て、第1の発明の利得制御手段に温度補償回路を備えた
ことを特徴とするものである。

【0010】

【作用】差動入力回路、可変抵抗、帰還回路及び出力段
回路により可変利得増幅器を構成することにより、高い
周波数帯域が得られ、周波数帯域が安定で、高入力イン
ピーダンスとなる。また、利得制御手段に温度補償回路
を付加することにより、利得が温度変動の影響を受けにくく
なる。

【0011】

【実施例】以下本発明を図面を用いて詳細に説明する。
図1は本発明に係る可変利得増幅器の第1の実施例を示
す構成ブロック図である。図1において14、15、1
6、17、18、19、20、21、22、23、2
4、25、26、27、28、29、30、31、32
及び33はMO S電界効果トランジスタ(Metal Oxide
Semiconductor Field Effect Transistor:以下、FET
と呼ぶ。)、34は可変抵抗、35はコモンモード帰
還回路、102及び103は入力電圧、104及び10
5は出力電圧である。

【0012】ここで、FET14、15、26及び27
は差動入力回路60を、FET16、17、24、25

及びコモンモード帰還回路35は出力電圧104及び105を負帰還する帰還回路61を、FET18～23及び28～33は出力段回路62を、可変抵抗34は利得制御手段63をそれぞれ構成している。

【0013】入力電圧102及び103はFET14及び15のゲートに入力され、FET14及び15のソースはFET27のドレインに、FET27のソースはFET26のドレインに接続される。

【0014】また、FET14のドレインはFET21のソース、FET22及び23のドレイン、可変抵抗34の一端にそれぞれ接続され、FET15ドレインはFET31のソース、FET32及び33のドレイン、可変抵抗34の他端にそれぞれ接続される。

【0015】FET21のドレインはFET16のドレイン及びFET20のソースに接続され、FET20のドレインは出力電圧104を出力すると共に、FET16のゲート、FET19のドレイン及びコモンモード帰還回路35の一方の入力端子にそれぞれ接続される。

【0016】一方、FET31のドレインはFET17のドレイン及びFET30のソースに接続され、FET30のドレインは出力電圧105を出力すると共に、FET17のゲート、FET29のドレイン及びコモンモード帰還回路35の他方の入力端子にそれぞれ接続される。

【0017】コモンモード帰還回路35の出力はFET23及び33のゲートにそれぞれ接続される。

【0018】また、FET16及び17のソースはFET25のドレインに接続され、FET25のソースはFET24のドレインに接続される。FET19及び29のソースはFET18及び28のドレインに接続される。

【0019】さらに、FET18, 24, 26及び28のソースは正電圧源”V_{DD}”に、FET22, 23, 32及び33はグランド”GND”にそれぞれ接続される。また、FET18, 24, 26及び28のゲート、FET19, 25, 27及び29のゲート、FET20及び30のゲート、FET21及び31のゲートにはそれぞれバイアス電圧が印加される。

【0020】また、図2は図1に示す第1の実施例における

$$A = V_{OUT} / V_{IN} = g_{mi} / g_{mf}$$

となる。

【0027】この利得” g_{mi} / g_{mf} ”はFET14～17のチャネルサイズの比によって決まるので、この結果、利得は温度及びプロセス変動の影響を受けにくい。

【0028】一方、図4において14～35, 102～105は図1と同一符号を付してあり、43及び44は負荷容量である。また、接続関係についても図1と同様であり、異なる点は出力電圧104及び105に対して

$$I_1 - I_2 = 2g_{mi} \cdot (V_1 - V_2)$$

となる。

ける可変抵抗34及びコモンモード帰還回路35の具体例を示した詳細回路図である。ここで、14～33, 102～105は図1と同一符号であり、36, 37, 38, 39はFET、106は利得制御電圧である。

【0021】図1における可変抵抗34はFET36及び利得制御電圧106により実現され、利得制御電圧106の電圧値を大きくすれば、可変抵抗34としての抵抗値が小さくなり、前記電圧値を小さくすれば前記抵抗値が大きくなる。

【0022】一方、コモンモード帰還回路35は図2中太線で示される部分により構成され、電圧”V_{CM}”は出力電圧104と105の和に比例、即ち、出力電圧のコモンモードに比例することになる。

【0023】この結果、電圧”V_{CM}”が大きくなるとFET23及び33の作用により出力段回路62にバイアス電流が流れ前記出力電圧のコモンモードが小さくなるように動作する。また、電圧”V_{CM}”が小さくなると前記出力電圧のコモンモードが大きくなるように動作する。即ち、コモンモード帰還回路35は負帰還回路として動作することになる。

【0024】ここで、図1に示す第1の実施例の動作を図3及び図4を用いて説明する。図3は可変抵抗34の抵抗値が無限大である場合の等価回路、図5は可変抵抗34の抵抗値が有限である場合の動作を示すブロック図である。

【0025】図3において102～105は図1と同一符号を付してあり、40及び41は差動入力回路、42は出力段回路である。可変抵抗34の抵抗値が無限大である場合、即ち、可変抵抗34が無い場合、図1の回路は入力電圧102及び103が差動入力回路40に入力され、差動入力回路40及び41の出力電流が出力段回路42にそれぞれ接続され、出力段回路42の出力電圧が差動入力回路41の入力端子に帰還されることになる。

【0026】図3に示す回路の利得”A”は「実願平5-856」に記載されているように入力電圧102と103の差電圧を”V_{IN}”、出力電圧104と105の差電圧を”V_{OUT}”、差動入力回路40及び41のトランジスト・コンダクタンスを”g_{mi}”及び”g_{mf}”とすれば、

(1)

負荷容量43及び44が接続された点である。

【0029】ここで、入力電圧102及び103の電圧値を”V₁”及び”V₂”、FET14及び15のトランジスト・コンダクタンスを”g_{mi}”、FET16及び17のトランジスト・コンダクタンスを”g_{mf}”、FET14, 15及び可変抵抗34に流れる電流をそれぞれ”I₁”, ”I₂”及び”I₃”とすると、入力電圧102が103よりも大きい場合、

(2)

【0030】また、出力段回路62の図4中”イ”に流

れ込む電流と図4中”ロ”に流れ込む電流との電流差”

$$\begin{aligned}\Delta I &= I_1 - I_3 - (I_2 + I_3) \\ &= I_1 - I_2 - 2 \cdot I_3\end{aligned}\quad (3)$$

となる。

【0031】もし、可変抵抗34の値が無限大であれば

$$\Delta I = I_1 - I_2$$

である。即ち、可変抵抗34によりトランス・コンダクタンス” g_{mi} ”が” $2 \cdot I_3$ ”だけ等価的に小さくなつ

$$A = V_{OUT} / V_{IN} = (g_{mi})_{eff} / g_{nf}$$

となる。

【0032】この結果、差動入力回路60、可変抵抗34、帰還回路61及び出力段回路62により可変利得増幅器を構成し、可変抵抗34の抵抗値を変化させることにより利得を制御することが可能となる。

【0033】ここで、電流” I_3 ”はFET14及び15からの電流” I_1 ”、電流” I_2 ”、可変抵抗34の抵抗値、図4中”イ”及び”ロ”から出力段回路62を見たインピーダンスによって決まるが、出力段回路62はMOSFETで構成されているため前記インピーダンスは温度及びプロセス変動の影響を受け難くい。即ち、利得は温度及びプロセス変動の影響を受け難くなる。

【0034】また、入力電圧102及び103をMOSFETにより受けているため高入力インピーダンスとなり、スイッチド・キャパシタを用いないため高い周波数帯域が得られ、余分な工程も不要となる。

【0035】さらに、伝達関数の最も低周波の極は出力段回路62の出力抵抗と、負荷容量43及び44によって決まるので、可変抵抗の抵抗値を変化させても利得は変化するが前記極は変化しない。即ち、利得を変化させても周波数帯域は変化しないことになる。

【0036】なお、図1に示す第1の実施例ではMOSFETにより回路を構成しているがバイポーラトランジスタ等を用いても良い。

【0037】また、図5は本発明に係る可変利得増幅器の第2の実施例を示す構成ブロック図である。図5において14, 15, 18~23, 28~33, 36, 102~106は図2と同一符号を付してあり、16a, 17a, 45, 46, 47及び48はFETである。

【0038】入力電圧102及び103はFET14及び15のゲートに入力され、FET14及び15のソースはFET46のドレインに、FET46のソースはFET45のドレインに接続される。

【0039】また、FET14のドレインはFET20のソース、FET22, 23及び36のドレインにそれぞれ接続され、FET15ドレインはFET30及び36のソース、FET32及び33のドレインにそれぞれ接続される。FET36のゲートには利得制御電圧106が入力される。

【0040】FET20のドレインは出力電圧104を出力すると共に、FET16aのゲート及びFET19

” ΔI ”は、

$$\text{前記電流差は、}\quad (4)$$

たことになる。この等価的に小さくなったトランス・コンダクタンスを” $(g_{mi})_{eff}$ ”とすると式(1)は、

$$(5)$$

10 のドレインにそれぞれ接続される。

【0041】一方、FET30のドレインは出力電圧105を出力すると共に、FET17aのゲート及びFET29のドレインにそれぞれ接続される。

【0042】また、FET16a及び17aのソースはFET47のドレイン、FET23とFET33のゲートにそれぞれ接続され、FET47のソースはFET48のドレインに接続される。FET19のソースはFET16a及び18のドレインに接続され、FET29のソースはFET17a及び28のドレインに接続される。

【0043】さらに、FET18, 28及び45のソースは正電圧源” V_{DD} ”に、FET22, 23, 32, 33及び48はグランド”GND”にそれぞれ接続される。また、FET18, 28及び45のゲート、FET19, 29及び46のゲート、FET20, 30及び47のゲート、FET22, 32及び48のゲートにはそれぞれバイアス電圧が印加される。

【0044】図5に示す第2の実施例の基本的な動作は図1に示す第1の実施例と同様であるので説明は省略する。図5においてFET16a及び17aから成る差動入力回路はN型のFETで構成されており、この差動入力回路は図1におけるコモンモード帰還回路35の機能を兼ねている。また、構成も図1に示す第1の実施例と比較して簡単になっている。

【0045】また、図6は本発明に係る可変利得増幅器の第3の実施例を示す構成ブロック図である。図5において14, 15, 18~23, 28~33, 36, 45, 46, 102~106は図5と同一符号を付してあり、49及び50は抵抗、51は容量である。

【0046】入力電圧102及び103はFET14及び15のゲートに入力され、FET14及び15のソースはFET46のドレインに、FET46のソースはFET45のドレインに接続される。

【0047】また、FET14のドレインはFET20のソース、FET22, 23及び36のドレインにそれぞれ接続され、FET15ドレインはFET30及び36のソース、FET32及び33のドレインにそれぞれ接続される。FET36のゲートには利得制御電圧106が入力される。

【0048】FET20のドレインは出力電圧104を

出力すると共に、FET19のドレン及び抵抗49の一端にそれぞれ接続される。

【0049】一方、FET30のドレンは出力電圧105を出力すると共に、FET29のドレン及び抵抗50の一端にそれぞれ接続される。

【0050】また、抵抗49の他端は抵抗50の他端、容量51の一端、FET23及び33のゲートにそれぞれ接続され、容量51の他端は接地され、FET19及び29のソースはFET18及び28のドレンに接続される。

【0051】さらに、FET18、28及び45のソースは正電圧源”V_{DD}”に、FET22、23、32及び33はグランド”GND”にそれぞれ接続される。ま

$$A' = V_{\text{OUT}} / V_{\text{IN}} = (g_{m1})_{\text{eff}}$$

となる。

【0054】また、図2、図5及び図6のように利得制御手段34としてFET36を用いた場合、利得制御電圧106が一定であれば温度及びプロセスの影響を受けにくい。しかし、温度が上昇すると差動入力回路60のトランス・コンダクタンス”(g_{m1})_{eff}”及び帰還回路61のトランス・コンダクタンス”g_{mf}”もその値が小さくなる方向に変化するので、実際には多少の影響を受けることになる。

【0055】これは、FET36が抵抗性領域で動作しているのに対して、他のFETが飽和領域で動作しているため、トランス・コンダクタンス”(g_{m1})_{eff}”及び”g_{mf}”の変化の度合いが異なってしまうためである。

【0056】図7はこのような問題を解決するため利得制御電圧106の温度補償する温度補償回路の具体例を示す回路図である。ここで、36及び106は図2、図

$$r_{ds54} = 1 / g_{ds54}$$

となる。

【0060】可変電流源52の出力電流の値を”

$$V_{\text{ctr}} = I_{\text{var}} (R + r_{ds54})$$

となる。

【0061】また、FET54は抵抗性領域で動作していることから、絶対温度を”T”、電子の移動度を”μ

$$V_{\text{ctr}}(T) = I_{\text{var}} (R + r_{ds54})$$

$$V_{\text{ctr}}(T + \Delta T)$$

$$= I_{\text{var}} (R + r_{ds54}(T + \Delta T))$$

$$= I_{\text{var}} (R + r_{ds54}(T) + \Delta r_{ds54})$$

$$= I_{\text{var}} (R + r_{ds54}(T))$$

$$\times \{1 + \Delta r_{ds54} / (R + r_{ds54}(T))\}$$

$$= V_{\text{ctr}}(T) \cdot \{1 + \Delta r_{ds54} / (R + r_{ds54}(T))\} \quad (10)$$

となる。

【0063】また、

$$\Delta r_{ds54} = r_{ds54}(T + \Delta T) - r_{ds54}(T)$$

$$= r_{ds54}(T) \cdot \mu_n(T)$$

$$\times \{1 / \mu_n(T + \Delta T) - 1 / \mu_n(T)\}$$

た、FET18、28及び45のゲート、FET19、29及び46のゲート、FET20及び30のゲート、FET22及び32のゲートにはそれぞれバイアス電圧が印加される。

【0052】図6に示す第3の実施例の基本的な動作も図1に示す第1の実施例と同様であるので説明は省略する。図6において抵抗49及び50が図1の帰還回路61の代わりに帰還回路を構成しており、また、図1におけるコモンモード帰還回路35の機能を兼ねている。さらに、構成も図1に示す第1の実施例と比較して簡単になっている。

【0053】ここで、図6に示す第3の実施例の利得”A'”は抵抗49及び50の抵抗値を”R_f”とすると

$$A' = R_f / (R_f + r_{ds54}) \quad (6)$$

5及び図6と同一符号を付してある。

【0057】図7において52は可変電流源、53は抵抗、54はFETである。可変電流源の一端は利得制御手段34であるFET36のゲート及び抵抗53の一端に接続され、抵抗53の他端はFET54のドレンに接続される。

【0058】また、可変電流源52の他端及びFET54のゲートは正電圧源”V_{DD}”に、FET54のソースはグランド”GND”にそれぞれ接続される。但し、FET36のソース及びドレンに対する接続に関しては記載を省略する。

【0059】ここで、図7に示す温度補償回路の動作を説明する。FET54は抵抗性領域で動作しているので、FET54のソース・ドレン間抵抗を”r_{ds54}”、FET54のトランス・コンダクタンスを”g_{ds54}”とすると、

$$(7)$$

I_{var}”、抵抗53の抵抗値を”R”とすると、利得制御電圧106”V_{ctr}”は、

$$(8)$$

n(T)”とすれば、FET54のソース・ドレン間抵抗は電子の移動度の逆数に比例することになる。

【0062】絶対温度を”T”とすると、

$$(T)) \quad (9)$$

$$= r_{ds54}(T) \cdot \mu_n(T) \times \{1 / [\mu_n(T) + \Delta \mu_n] - 1 / \mu_n(T)\} \\ \approx r_{ds54}(T) \cdot \{-\Delta \mu_n / \mu_n(T)\} \quad (11)$$

となり、式(10)は、

$$V_{\text{ctr}}(T + \Delta T)$$

$$= V_{\text{ctr}}(T) \cdot \{1 + r_{ds54}(T) / (R - r_{ds54}(T)) \times (\Delta \mu_n / \mu_n(T))\} \quad (12)$$

となる。

【0064】ここで、抵抗53の抵抗値をFET54のソース・ドレン間抵抗にほぼ等しくなるように選択すると、式(12)は、

$$\begin{aligned} V_{ctr}(T + \Delta T) \\ = V_{ctr}(T) \cdot \{1 + 1/2 \cdot (\Delta \mu_n / \mu_n(T))\} \\ \propto (\mu_n(T))^{-1/2} \end{aligned} \quad (13)$$

となる。

【0065】また、FET36は抵抗性領域で動作しているのでトランジスト・コンダクタンス” g_{ds36} ”は、 $g_{ds36}(T) \propto \mu_n(T) \cdot (\mu_n(T))^{-1/2}$

$$\begin{aligned} & \{(g_{mi})_{eff} / g_{mf}\}(T) \\ &= g_{mb}(T) / \{g_{mb}(T) + g_{ds36}(T)\} \\ & \times g_{mi}(T) / g_{mf}(T) \\ & \propto (\mu_n)^{1/2} / \{a(\mu_n)^{1/2} + b(\mu_n)^{1/2}\} \cdot (\mu_p)^{1/2} / (\mu_p)^{1/2} \\ &= \text{const.} \end{aligned} \quad (15)$$

となる。

【0067】この結果、式(15)から分かるように、利得制御手段63に利得制御電圧106の温度補償をする温度補償回路を付加することにより、利得が温度変化に対する影響を受けなくなる。

【0068】

【発明の効果】以上説明したことから明らかのように、本発明によれば次のような効果がある。特許請求の範囲第1項記載の発明によれば、差動入力回路、可変抵抗、帰還回路及び出力段回路により可変利得増幅器を構成することにより、高い周波数帯域が得られ、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器が実現できる。

【0069】また、特許請求の範囲第2項記載の発明によれば、利得制御手段に温度補償回路を付加することにより、利得が温度変化に対する影響を受けなくなる。

【図面の簡単な説明】

【図1】本発明に係る可変利得増幅器の第1の実施例を示す構成ブロック図である。

【図2】第1の実施例における可変抵抗34及びコモンモード帰還回路35の具体例を示した詳細回路図である。

【図3】可変抵抗34の抵抗値が無限大である場合の等価回路である。

【図4】可変抵抗34の抵抗値が有限である場合の動作を示すブロック図である。

【図5】本発明に係る可変利得増幅器の第2の実施例を

$= (\mu_n(T))^{1/2}$ (14)
飽和領域で動作している他のFETのトランジスト・コンダクタンス” $g_{mb}(T)$ ”、トランジスト・コンダクタンス” $g_{mi}(T)$ ”及び” $g_{mf}(T)$ ”は” $(\mu_n(T))^{1/2}$ ”に比例する。

【0066】従って、利得の温度変化に対する影響は、ホールの移動度を” μ_p ”とすると、

示す構成ブロック図である。

【図6】本発明に係る可変利得増幅器の第3の実施例を示す構成ブロック図である。

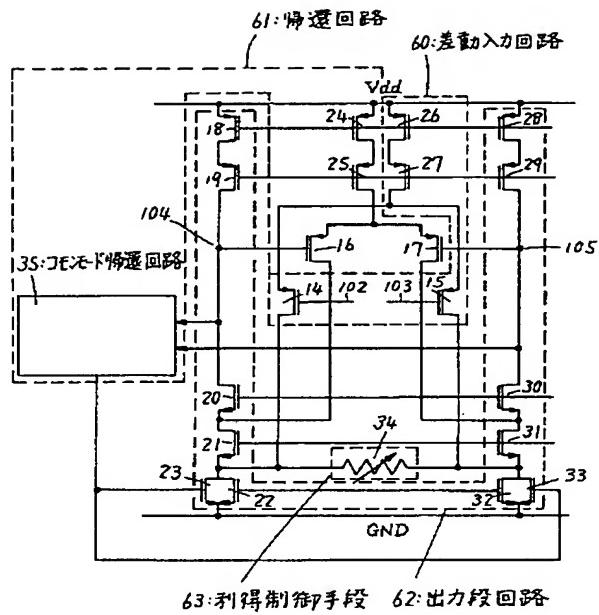
【図7】利得制御電圧の温度補償する温度補償回路の具体例を示す回路図である。

【図8】従来の可変利得増幅器の一例を示す回路図である。

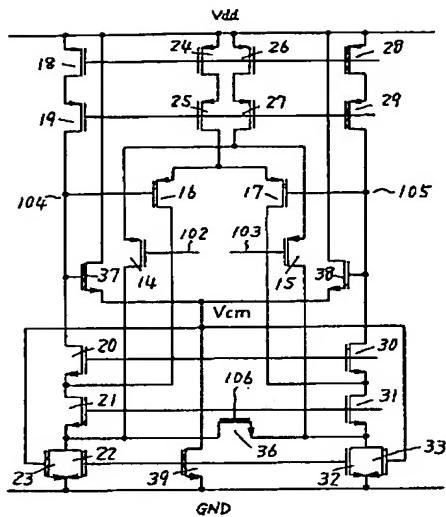
【符号の説明】

1	演算増幅器
2, 3, 4, 5, 51	容量
6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 16a, 17, 17a, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 36, 37, 38, 39, 45, 46, 47, 48, 54	FET
34	可変抵抗
35	コモンモード帰還回路
40, 41, 60	差動入力回路
42, 62	出力段回路
43, 44	負荷容量
49, 50, 53	抵抗
52	可変電流源
61	帰還回路
63	利得制御手段
100, 102, 103	入力電圧
101, 104, 105	出力電圧
106	利得制御電圧

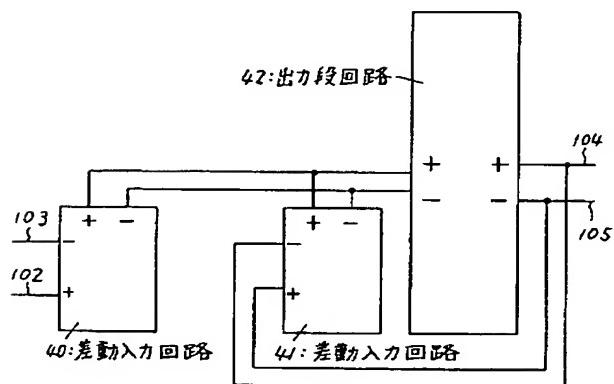
【図1】



【図2】

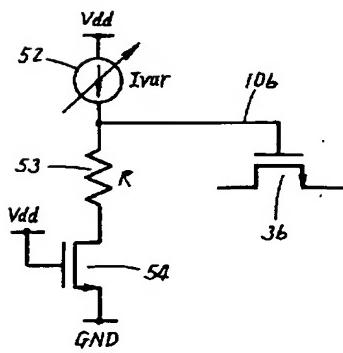


(图3)

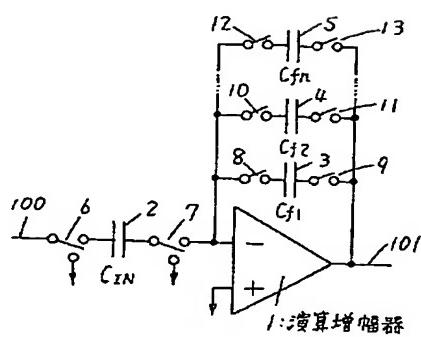


This diagram illustrates a complex integrated circuit structure, specifically a logic gate. The circuit is powered by V_{dd} at the top and GND at the bottom. The inputs are connected to various nodes through switches labeled 18, 19, 43, and 104. The outputs include nodes 24, 25, 26, 27, 28, 29, 105, 44, 35, 16, 17, 14, 192, 103, 15, 20, 21, 34, 32, 30, 12, 23, and 22. A feedback path is shown connecting node 14 back to node 192. The circuit also features several transmission gates, such as those controlled by signals 11, 20, 21, 34, and 32, which connect different parts of the internal logic.

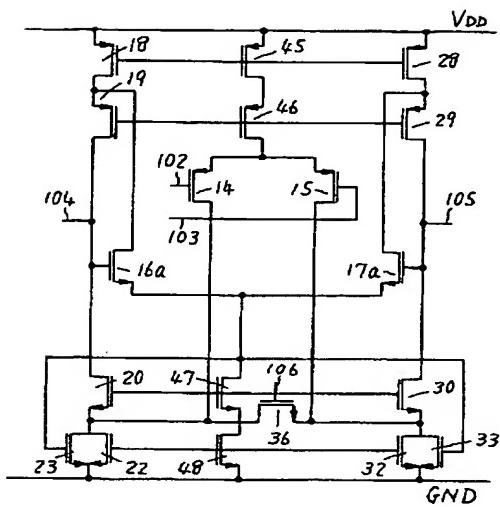
【図7】



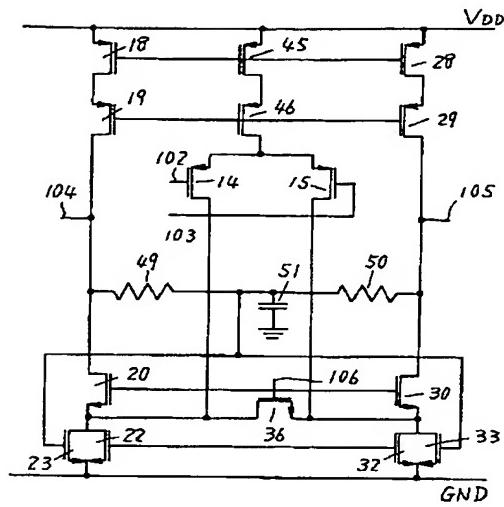
【図8】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.